

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-045902
 (43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H01S 3/18

(21)Application number : 05-185919

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.07.1993

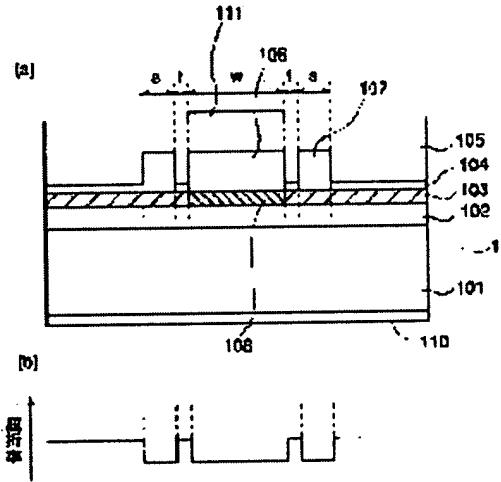
(72)Inventor : OMURA ETSUJI

(54) SEMICONDUCTOR LASER AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a semiconductor laser which can make a high-output operation in a single basic lateral mode, by a method wherein a ridge having one crest is provided in a clad layer on one side of an active layer and the ridge is covered with a semiconductor having a larger refractive index than the semiconductor constituting the ridge and a larger inhibited band width than the active layer.

CONSTITUTION: An N-type AlGaAs lower clad layer 102, an InGaAs active layer 103 and a P-type AlGaAs upper clad layer 104 are formed by a crystal growth sequentially on an N-type GaAs substrate 101, so that a double hetero structure be formed. Next, a major ridge 106 and a minor ridge 107 are formed by processing the AlGaAs clad layer 104 by a chemical etching method or the like. Then, the semiconductor wafer wherein the ridges are formed is filled by regrowth by using GaAs having a smaller inhibited band width and, accordingly, a larger refractive index than the AlGaAs clad layer 104. Therefore the distribution of the refractive index in the horizontal direction of the InGaAs active layer 103 is made of an anti-guide type wherein the distribution is low in the central part of an active region and high in the peripheral part thereof.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-45902

(43)公開日 平成7年(1995)2月14日

(51)Int.Cl.⁸
H01S 3/18

識別記号 庁内整理番号

P I

技術表示箇所

審査請求 未請求 請求項の数3 O.L (全8頁)

(21)出願番号 特願平5-185919

(22)出願日 平成5年(1993)7月28日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 大村 悅司

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス研究所内

(74)代理人 弁理士 早瀬 憲一

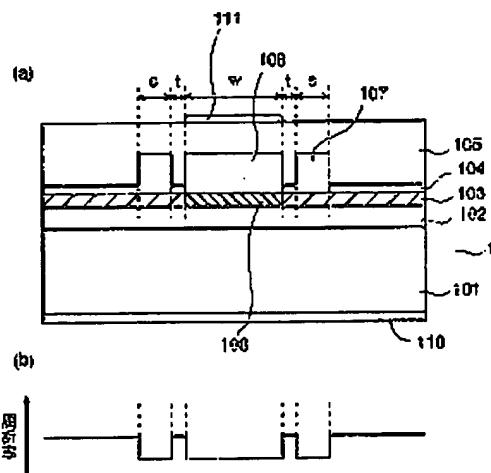
(54)【発明の名称】 半導体レーザおよびその製造方法

(57)【要約】

【目的】 信頼性が高く、単一基本モードで高出力が得られる半導体レーザを提供する。

【構成】 活性層103の一方側のクラッド層104に少なくとも一つの山を有するリッジ106を設け、そのリッジ106を、該リッジを構成する半導体よりも屈折率が大きく、活性層よりも禁制帯幅の大きい材料105で埋め込み、「アンチガイド」型の半導体レーザを形成した。

【効果】 基本横モード維持した状態で高出力を有する、長寿命な半導体レーザを実現できる。



(2)

特開平7-45902

1

【特許請求の範囲】

【請求項1】 半導体基板主面上に第1の導電形を有する第1の半導体層、活性層、および第2の導電形を有する第2の半導体層からなるダブルヘテロ構造を有する半導体レーザにおいて、上記第1あるいは第2の半導体層の厚みは、少なくともレーザ発振が生じる活性領域の部分では厚いものであり、かつ該第1あるいは第2の半導体層は、該半導体層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体で覆われていることを特徴とする半導体レーザ。

【請求項2】 第1の導電形を有する半導体基板の主面上に第1の導電形を有する下クラッド層、活性層、および第2の導電形を有する上クラッド層を順次成長する工程と、上記上クラッド層をその厚みが少なくともレーザ発振が生じる活性領域となるべき領域上では厚い形状に成形する工程と、上記上クラッド層をその厚みが少なくともレーザ発振が生じる活性領域となるべき領域上では厚い形状に成形する工程と、上記上クラッド層を覆うように該上クラッド層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項3】 その上層に活性層が結晶成長される第1の導電形を有する下クラッド層を、その表面が、その上に結晶成長される層の層厚が少なくともレーザ発振が生じる活性領域となるべき領域で厚いものとなる形状に成形された、上記下クラッド層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体上に成長する工程と。

該下クラッド層上に上記活性層、および第2の導電形を有する上クラッド層を順次成長する工程とを含むことを特徴とする半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体レーザおよびその製造方法に関し、特に単一基本横モードで高出力動作が可能な半導体レーザおよびその製造方法に関するものである。

【0002】

【従来の技術】 半導体レーザを、横モードを单一基本モード（0次モード）に保ったまま高出力化するためには、従来から① レーザ共振器端面での光密度を下げる目的で活性層厚を薄くする、② レーザ共振器端面での光の吸収を抑制するために、その端面の一部をレー

2

「アンチガイド」型とし、高次の横モードが発振しにくくする構造が検討されている。

【0003】 図2は、例えばエレクトロニクスレターズ、29巻、19号、1793頁（Electron. Lett., v. 01.28, No.19, pp.1793, (1992)）に発表された。従来の上記「アンチガイド」型の半導体レーザを示す図であり、図2(a)はその共振器長方向に対して垂直な断面の模式構造を示す図、図2(b)は共振器幅方向の屈折率分布を示す図である。また、図8は図2に示す半導体レーザの製造方法を説明するための断面工程図である。図において、101はn型GaAs基板、102はn型AlGaAs下クラッド層、103はInGaAsからなる活性層、108はレーザ発振が生じる活性領域、201はp型Al0.4Ga0.6As上クラッド層、202はn型Al0.2Ga0.8As屈折率分布付与層、203はp型Al0.4Ga0.6As埋め込み層である。また、110、111はそれぞれ該半導体レーザチップ1に設けられたり側面極およびp側電極である。

【0004】 活性領域108の上はAl0.4Ga0.6As上クラッド層201およびAl0.4Ga0.6As埋め込み層203で構成されている。一方、活性領域108の両サイド上は、Al0.4Ga0.6As層およびAl0.2Ga0.8As屈折率分布付与層202（Al0.2Ga0.8As）はそのAl組成比が周辺のAl0.4Ga0.6Asよりも小さいために、屈折率は逆に大きくなっている。従って、主に活性領域に集中しているレーザ光が実効的に感じる屈折率（有効屈折率と呼ばれる）は、レーザ発振が生じている活性領域中心部より周辺の方が高くなる。即ちレーザ光が感じる実効的な屈折率の分布は、図2(b)に示すように活性領域中心部では低く、周辺部では高い、いわゆる「アンチガイド」型となる。

「アンチガイド」型では周辺部の方が屈折率が高いため、光は屈折率の高い周辺部に発散し、光は導波されないことになるが、半導体レーザの場合は、電流を流し活性領域に利得を発生させるために、光の発散と利得による光の発生がバランスしレーザ発振が可能となる。また、1次モード等の高次のモードは、0次モード即ち基本モードに比べ、その境界強度分布がもともと外側に広がっているため、「アンチガイド」型導波路は高次のモードに対しては損失の大きい構造となっている。

【0005】 図2(a)の例では、活性領域108に隣接する部分の屈折率分布付与層の一部に切り欠き207が作りつけられている。活性領域と切り欠き207の間に

(3)

特開平7-45902

ード型レーザに比べ「アンチガイド」型レーザの方が活性領域の幅を広くしても高出力まで基本モードを維持して発振することが可能となる。また当然ながら活性領域の幅が広くなっている分、共振器端面での光密度が減少しているので、端面の溶融破壊が生じにくくなっている。

【0006】このように上記技術論文に提案された半導体レーザは高出力を得る目的に対しては優れた構造であるが、その製造方法を考えると以下に述べるような問題点がある。通常、図2に示す「アンチガイド」型の半導体レーザは以下のようにして作製される。まず、図8(a)に示すように、n-GaAs基板101上に、気相成長法により活性層103を含むダブルヘテロ構造(102、103、201)が成長される。ここで上クラッド層201の厚みは、0.2~0.6μmと極めて薄く設計される。これは屈折率分布付与層202と活性層103を接近させる必要があるためである。ダブルヘテロ構造成長後は、図8(b)に示すように、屈折率分布付与層202が成長される。この段階で一旦結晶成長を終了する。次に屈折率分布付与層202を選択的にエッチングし、図8(c)に示すように成形する。この時エッチングは薄い上クラッド層と屈折率分布付与層の界面で止るように制御される。次に再び結晶成長を行い、図8(d)に示すように、Al0.4Ga0.5As埋め込み層203を成長する。この時の埋め込み成長の成長温度は600~800°C程度に選ばれる。その後、n側電極110、及びp側電極111を形成して半導体レーザが出来上がる。

【0007】この様な一連の製造工程では、埋め込み成長時、活性領域は0.2~0.6μmのAlGaAsの薄い層だけで被覆された状態で、600~800°Cの高温に晒されることになる。活性層および上クラッド層の主構成元素である砒素は蒸気圧が高く、高温下では容易に蒸発し結晶性が変化してしまう(図中x x x x部分)。従って図2に示した構造は、必然的に、活性領域に結晶欠陥が導入され易く、半導体レーザの寿命等に問題を生じる構造であった。

【0008】

【発明が解決しようとする課題】従来の「アンチガイド」型の半導体レーザは、以上のように構成されており、その製造工程において、活性層のうち活性領域となる部分が0.2~0.6μmの薄い層だけで被覆された状態で再成長時に高温に晒され、活性領域に結晶欠陥が導入され易いため、信頼性の高い素子が得られないとい

的とする。

【0010】

【課題を解決するための手段】この発明に係る半導体レーザは、半導体基板主面上に第1の導電形を有する第1の半導体層、活性層、および第2の導電形を有する第2の半導体層からなるダブルヘテロ構造を有する半導体レーザにおいて、上記第1あるいは第2の半導体層の厚みは、少なくともレーザ発振が生じる活性領域の上では厚いものであり、かつ、該第1あるいは第2の半導体層が、該半導体層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体で覆われた構造としたものである。

【0011】また、この発明に係る半導体レーザの製造方法は、第1の導電形を有する半導体基板主表面上に第1の導電形を有する下クラッド層、活性層、および第2の導電形を有する上クラッド層を順次成長し、上記上クラッド層をその厚みが少なくともレーザ発振が生じる活性領域となるべき領域上では厚い形状に成形した後、上記上クラッド層を覆うように該上クラッド層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体層を形成するようにしたものである。

【0012】また、この発明に係る半導体レーザの製造方法は、その上層に活性層が結晶成長される第1の導電形を有する下クラッド層を、その裏面が、その上に結晶成長される層の層厚が少なくともレーザ発振が生じる活性領域となるべき領域で厚いものとなる形状に成形された、上記下クラッド層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体上に成長し、さらに該下クラッド層上に上記活性層、および第2の導電形を有する上クラッド層を順次成長するようにしたものである。

【0013】

【作用】この発明においては、半導体基板主面上に第1の導電形を有する第1の半導体層、活性層、および第2の導電形を有する第2の半導体層からなるダブルヘテロ構造を有する半導体レーザにおいて、上記第1あるいは第2の半導体層の厚みは、少なくともレーザ発振が生じる活性領域の上では厚いものであり、かつ、該第1あるいは第2の半導体層が、該半導体層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体で覆われた構造としたので、活性層に水平な方向の屈折率分布を、活性領域中心部では低く、周辺部では高い、いわゆる「アンチガイド」型とすることができます、しかも、その製造工程において、活性層の活性領域となる領域の真上

(4)

特開平7-45902

5

が少なくともレーザ発振が生じる活性領域となるべき領域上では厚い形状に成形した後、上記上クラッド層を覆うように該上クラッド層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体層を形成するようにしたので、埋め込み再成長の際、活性層の活性領域となる部分の真上部は厚い層で覆われており、これが埋め込み再成長時の高温度環境に対し十分な保護膜の働きをし、これにより再成長時ににおける活性領域への欠陥の導入を防ぎ、信頼性の高い「アンチガイド」型の半導体レーザを製造できる。

【0015】また、この発明においては、その上層に活性層が結晶成長される第1の導電形を有する下クラッド層を、その表面が、その上に結晶成長される層が少なくともレーザ発振が生じる活性領域となるべき領域で厚いものとなる形状に成形された、上記下クラッド層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体層に成長し、さらに該下クラッド層上に上記活性層、および第2の導電形を有する上クラッド層を順次成長するようにしたので、その作製工程において、活性層の活性領域となる部分が長時間高温に晒されることなく、結晶性の優れた、信頼性の高い「アンチガイド」型の半導体レーザを製造できる。

【0016】

【実施例】実施例1、以下、本発明の実施例を図について説明する。図1は、GaAsを基板とし、活性層は歪を有するInGaAsからなるものとした本発明の第1の実施例による半導体レーザを示す図であり、図1(a)はその共振器長方向に対して垂直な断面の模式構造を示す図、図1(b)は共振器幅方向の屈折率分布を示す図である。図において、101はn型GaAs基板、102はn型AlGaAs下クラッド層、103はInGaAsからなる活性層、104は屈折率分布を付与する役目をも果たしているp型AlGaAs上クラッド層、105はGaAs埋め込み層、106は活性領域108上の主リッジ、107は、幅wをもつ主リッジから距離tだけ離れた幅sの副リッジである。110、111はそれぞれ該半導体レーザチップ1に設けられたn側電極およびp側電極である。また、図5は図1に示す半導体レーザの製造方法を説明するための断面工程図であり、図において、図1と同一符号は同一又は相当部分である。

【0017】以下この半導体レーザの製造方法を図5について説明する。まず、図5(a)に示すように、n型GaAs基板101上に、MOCVD(Metal Organic Chemical Vapor Deposition)法などの気相成長法によ

5

り980nm程度になる。また、上および下クラッド層であるAlGaAs層102、104のAl組成比は、0.4程度に適ぶのが好ましい。また、上クラッド層であるAlGaAs層104の厚みは、1ないし3μm程度に設定する。

【0018】次に、化学エッチング法あるいはドライエッチング法により、図5(b)に示すように、主リッジ106および副リッジ107を有するようにAlGaAs層104を加工する。エッチャントとしては、ウエットエッチングの場合は酒石酸と過酸化水素と水の混合液、ドライエッチングの場合は塩素ガスを用いることができる。また、この時に用いるエッチングマスクとしては、ホトレジストを用いても、あるいはSiNなどの試験体を用いても良い。AlGaAs層104のいわゆる残し厚、即ちエッチングで除去された後の厚さは、0.2~0.6μmにするのが発振横モードの制御という観点から望ましい。ここで、AlGaAs層104の残し厚みはエッチング時間により制御できる。また主リッジ106の幅wはたとえば6μmとする。また副リッジ107の幅s、および両リッジ間の間隔tはそれぞれ3.0μmおよび1.5μm程度に設計する。ここで、sおよびtの寸法は、1次の発振横モードの水平方向伝播定数から定まる波長の1/4の整数倍に選んでおくと、1次(すなわち高次)モードが遮断され易くなる。

【0019】次に、このようにリッジが形成された半導体ウェハを、再成長によって埋め込む。この埋め込みに用いる材料は、AlGaAsクラッド層104に比べ禁制帯幅が小さく、従って屈折率の大きいGaAsを用いる。ここで、GaAsは活性層であるIn0.2Ga0.8Asよりも禁制帯幅が大きく、この埋め込み層によるレーザ光の吸収はほとんどない。ただし、このように埋め込み層にはGaAsを用いるのが屈折率分布を設けるためにふさわしいが、これは必ずしもGaAsでなくてもかまわない。例えば、上クラッドAlGaAs層104のAl組成が0.4である場合には、埋め込み層としてはAl組成が0.1あるいは0.2などのように、0.4より小さいAlGaAsとすれば、GaAsを用いた場合と同様の効果を得ることができる。

【0020】このように、主および副リッジを有するAlGaAs上クラッド層104を、該上クラッド層よりも屈折率が大きく、InGaAs活性層103よりも禁制帯幅の大きいGaAs層105で埋め込んだ構造とすることにより、活性層に水平な方向の屈折率分布は、図1(b)に示すように、従来例と同様の分布となる。

(5)

特開平7-45902

7

成長時における活性領域への欠陥の導入を防ぎ、信頼性の高い半導体レーザを実現することができる。

【0022】なお上述の説明では、主副リッジの形成は上クラッド層のエッチング時間を制御することにより行なうようにしているが、これは、活性層から0.2~0.6μm離れたところに、例えばAl₁組成0.65のいわゆるエッチングストップ層を設け、主、副リッジを形成する化学エッチングがこのエッチングストップ層で自動的にストップするようによくてもよい。

【0023】実施例2. なお、上記第1の実施例では活性層103が単一の層からなるものについて示したが、この活性層は、図3に示す本発明の第2の実施例のように、例えば、In0.2Ga0.8Asからなる層厚70オングストロームの井戸層103aおよびGaAsからなる層厚50オングストロームのバリア層103bからなるいわゆる量子井戸構造であってもよい。また、量子井戸構造は図3に示す單一量子井戸構造に限らず、複数の井戸層103aとバリア層103bを繰り返し積層してなる多重量子井戸構造であってもよい。

【0024】実施例3. また、上記第1の実施例では、In0.2Ga0.8As活性層103の上下にこれと接してAlGaAsクラッド層102, 104を配置したものについて示したが、図4に示す本発明の第3の実施例のように、例えばAl0.2Ga0.8Asからなる層厚50オングストローム程度の光ガイド層109a, 109bを、上記In0.2Ga0.8As活性層103に接してその上下両側に導入するようによくてもよい。

【0025】実施例4. 上記各実施例では、主、副リッジを活性層の上に形成する例について説明したが、これらの主、副リッジは、活性層の下、すなわち、下クラッド層に形成するようにしても構わない。

【0026】図6は主、副リッジを下クラッド層に形成した、本発明の第4の実施例による半導体レーザの共振器長方向に対して垂直な断面の模式構造を示す図であり、図7はその製造方法を説明するための断面工程図である。図において、301はn型GaAs基板、302はp型GaAs層、303はn型AlGaAs下クラッド層、304はInGaAs活性層、305はp型AlGaAs上クラッド層、306はp型GaAsコンタクト層である。また、307は主リッジ、308は副リッジである。即ち、本実施例では、InGaAs活性層304の下側に配置されるp型AlGaAs下クラッド層303が主リッジ307及び副リッジ308を有し、この下クラッド層303がp型GaAs層302及びn型

8

ように、n型AlGaAs下クラッド層303、InGaAs活性層304、p型AlGaAs上クラッド層305、及びp型GaAsコンタクト層306を成長する。ここで、n型AlGaAs下クラッド層303のp型GaAs層302上に成長される部分の層厚は0.2~0.6μmとなるようになる。その後、n側電極110、及びp側電極111を形成して半導体レーザが出来上がる。

【0028】このような本実施例においては、下クラッド層303が主、副リッジを有し、このリッジ間には下クラッド層303よりも屈折率の大きいGaAs層302が配置された構造となっているので、活性層に水平な方向の屈折率分布は、従来例と同様の分布となる。また、上述のように本実施例においては、その作製工程において、活性層の結晶成長に連続してその上部に配置される層が結晶成長されるので、活性層の活性領域となる部分が長時間高温に晒されることはなく、結晶性の優れた、信頼性の高い「アンチガイド」型の半導体レーザを実現できる。

【0029】なお、上記第4の実施例ではn型GaAs基板上にp型GaAsを結晶成長して、これを電流プロック層としても用いる構成としているが、n型GaAs基板を直接エッチングにより、その上に結晶成長されるn型AlGaAs下クラッド層がリッジを有する形状となるような形状に形成するようにしてよい。

【0030】なお、第1~第4の各実施例を示す図では、主、副リッジともその断面が矩形であるものを示しているが、各リッジとも、断面三角形形状あるいは断面台形形状等、リッジの中央部に向かって徐々にその層厚が厚くなる形状であれば如何なる形状でも構わない。

【0031】また、上記各実施例では1次モードを効果的に遮断するために主、副の2種類のリッジを設けたものについて示したが、「アンチガイド」型を得るためにには、必ずしも主、副の2種類のリッジを形成する必要はない。主リッジのみでも「アンチガイド」型を得ることができる。また、上記実施例では副リッジを、主リッジを抜んで1組のみ配置したものについて示したが、副リッジの数も主リッジを挟む1組に限定する必要なく、間隔t₁を隔てて複数組の副リッジを作り込むようにしてよい。

【0032】また、上記各実施例ではp型基板上にレーザ積層構造を形成したものについて示したが、各層の導電形をそれぞれ反対の導電形の層とし、p型基板上にレーザ積層構造を形成するようにしてよい。また、材料

(6)

特開平7-45902

9

らなるダブルヘテロ構造を有する半導体レーザにおいて、上記第1あるいは第2の半導体層の厚みは、少なくともレーザ発振が生じる活性領域の上では厚いものであり、かつ、該第1あるいは第2の半導体層が、該半導体層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体で覆われた構造としたので、活性層に水平な方向の屈折率分布を、活性領域中心部では低く、周辺部では高い、いわゆる「アンチガイド」型とすることができ、しかも、その製造工程において、活性層の活性領域となる領域の真上をエッティングで薄くすることが無いので、信頼性の高い「アンチガイド」型の半導体レーザを実現できる効果がある。

【0034】また、この発明によれば、第1の導電形を有する半導体基板の主表面上に第1の導電形を有する下クラッド層、活性層、および第2の導電形を有する上クラッド層を順次成長し、上記上クラッド層をその厚みが少なくともレーザ発振が生じる活性領域となるべき領域上では厚い形状に成形した後、上記上クラッド層を覆うように該上クラッド層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体層を形成するようにしたので、信頼性の高い「アンチガイド」型の半導体レーザを製造できる効果がある。

【0035】また、この発明によれば、その上層に活性層が結晶成長される第1の導電形を有する下クラッド層を、その表面が、その上に結晶成長される層が少なくともレーザ発振が生じる活性領域となるべき領域で厚いものとなる形状に成形された、上記下クラッド層よりも屈折率が大きく、上記活性層よりも禁制帯幅の大きい半導体層に成長し、さらに該下クラッド層上に上記活性層、および第2の導電形を有する上クラッド層を順次成長するようにしたので、信頼性の高い「アンチガイド」型の半導体レーザを製造できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体レーザの共振器長方向に対して垂直な断面の模式構造を示す図(図*

* 1(a))、及び共振器幅方向の屈折率分布を示す図(図1(b))である。

【図2】従来のアンチガイド型の半導体レーザの共振器長方向に対して垂直な断面の模式構造を示す図(図2(a))、及び共振器幅方向の屈折率分布を示す図(図2(b))である。

【図3】本発明の第2の実施例による半導体レーザの共振器長方向に対して垂直な断面の模式構造を示す図(図3(a))、及び共振器幅方向の屈折率分布を示す図(図3(b))である。

【図4】本発明の第3の実施例による半導体レーザの共振器長方向に対して垂直な断面の模式構造を示す図(図4(a))、及び共振器幅方向の屈折率分布を示す図(図4(b))である。

【図5】本発明の第1の実施例による半導体レーザの製造方法を説明するための断面工程図である。

【図6】本発明の第4の実施例による半導体レーザの共振器長方向に対して垂直な断面の模式構造を示す図である。

【図7】本発明の第4の実施例による半導体レーザの製造方法を説明するための断面工程図である。

【図8】図2に示す従来の半導体レーザの製造方法を説明するための断面工程図である。

【符号の説明】

101	n型GaAs基板
102	n型AlGaAs下クラッド層
103	In0.2Ga0.8As活性層
104	p型AlGaAs上クラッド層
105	p型GaAs埋め込み層
106	主リッジ
107	副リッジ
108	活性領域
110	n側電極
111	p側電極

30

50

60

70

80

90

100

110

120

130

140

150

160

170

180

190

200

210

220

230

240

250

260

270

280

290

300

310

320

330

340

350

360

370

380

390

400

410

420

430

440

450

460

470

480

490

500

510

520

530

540

550

560

570

580

590

600

610

620

630

640

650

660

670

680

690

700

710

720

730

740

750

760

770

780

790

800

810

820

830

840

850

860

870

880

890

900

910

920

930

940

950

960

970

980

990

1000

1010

1020

1030

1040

1050

1060

1070

1080

1090

1100

1110

1120

1130

1140

1150

1160

1170

1180

1190

1200

1210

1220

1230

1240

1250

1260

1270

1280

1290

1300

1310

1320

1330

1340

1350

1360

1370

1380

1390

1400

1410

1420

1430

1440

1450

1460

1470

1480

1490

1500

1510

1520

1530

1540

1550

1560

1570

1580

1590

1600

1610

1620

1630

1640

1650

1660

1670

1680

1690

1700

1710

1720

1730

1740

1750

1760

1770

1780

1790

1800

1810

1820

1830

1840

1850

1860

1870

1880

1890

1900

1910

1920

1930

1940

1950

1960

1970

1980

1990

2000

2010

2020

2030

2040

2050

2060

2070

2080

2090

2100

2110

2120

2130

2140

2150

2160

2170

2180

2190

2200

2210

2220

2230

2240

2250

2260

2270

2280

2290

2300

2310

2320

2330

2340

2350

2360

2370

2380

2390

2400

2410

2420

2430

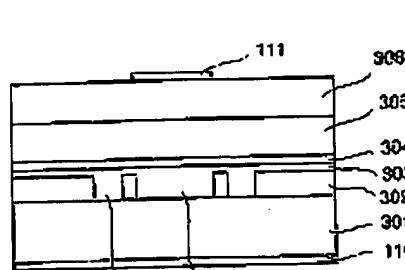
2440

2450

2460

2470

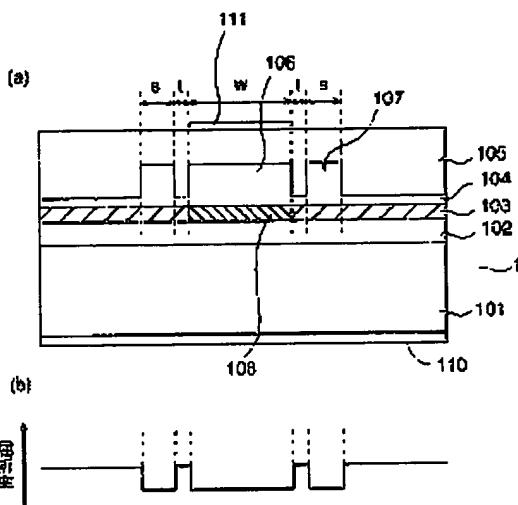
【図6】



(7)

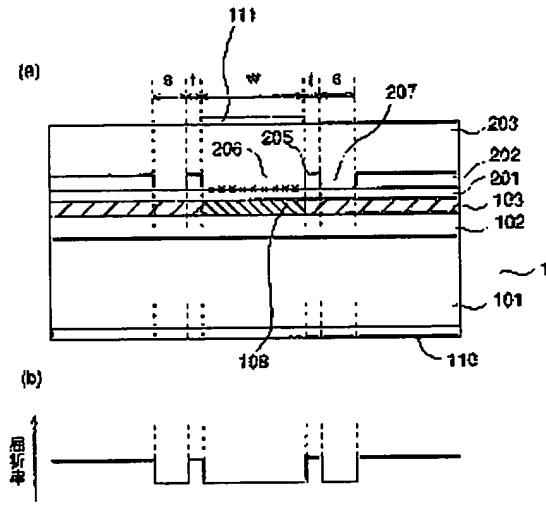
特開平7-45902

【図1】



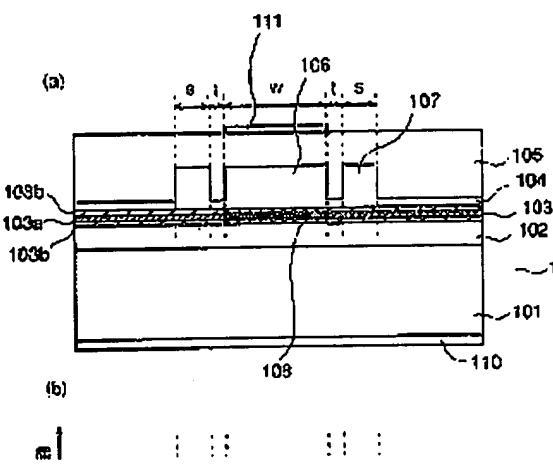
- 101 : GaAs基板
- 102 : AlGaAs下クラッド層
- 103 : In0.2Ga0.8As活性層
- 104 : AlGaAs上クラッド層
- 105 : GaAs埋め込み層
- 106 : 空リッジ
- 107 : 割りッジ
- 108 : 活性領域
- 110 : n型電極
- 111 : p型電極

【図2】

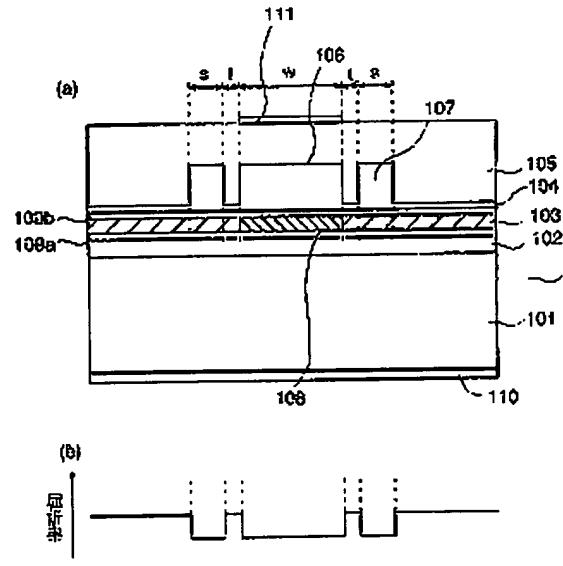


- 201 : Al0.4Ga0.6As上クラッド層
- 202 : Al0.2Ga0.8As層拡散分布付層
- 203 : Al0.4Ge0.6As埋め込み層
- 110 : n側電極
- 111 : p側電極

【図3】



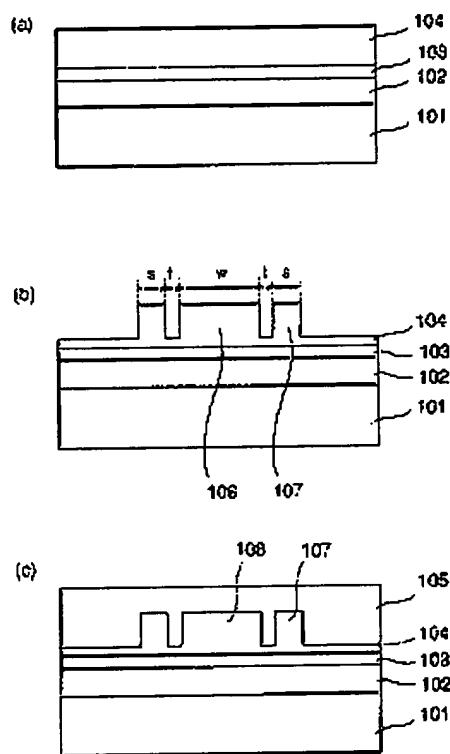
【図4】



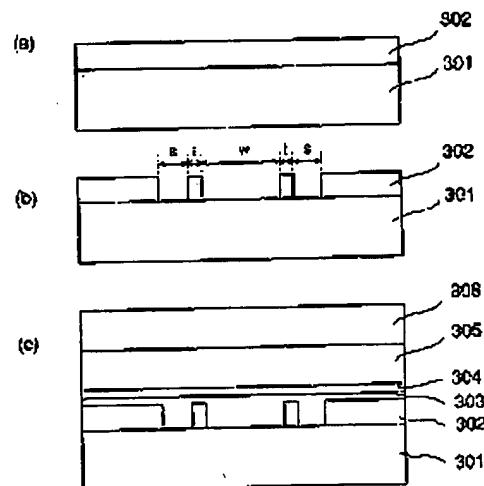
(3)

特開平7-45902

【図5】



【図7】



【図8】

